

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-109408

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

G02F 1/136
 G02F 1/1345
 G09F 9/00
 G09F 9/30
 H01L 29/786

(21)Application number : 09-266709

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.09.1997

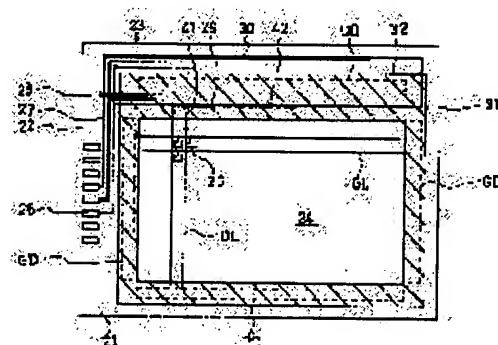
(72)Inventor : YOKOYAMA RYOICHI

(54) DISPLAY DEVICE WITH BUILT-IN DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To mitigate the attenuation of original picture signals by removing a conductive light shielding film from the top of an original picture signal line on which the original picture signals are impressed.

SOLUTION: A gate line GL and a drain line DL are arranged to intersect with each other on the inner surface of one substrate 21 and display pixels 25 are formed in the intersection parts. A drain driver DD and gate driver DD for driving these are formed in the peripheral parts of a substrate 21. The original picture signal line 27 extends from a connecting terminal 26 formed at the end of the substrate 21 along the one periphery of the substrate 21 and forms a first extension part 29 and a second extension part 30 on both sides of the drain driver DD along the same. The conductive light shielding film 32 is removed from above at least the second extension part.



LEGAL STATUS

[Date of request for examination] 22.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3296761

[Date of registration] 12.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

 CLAIMS

[Claim(s)]

[Claim 1] On both sides of liquid crystal, opposite arrangement of the 1st and the 2nd substrate is carried out. to the display of the opposed face of the 1st substrate of the above Two or more gate lines and drain lines are arranged so that it may cross mutually. Form a display pixel in each intersection of the aforementioned gate line and a drain line, and it arranges in the shape of a matrix. The drain driver which impresses a subject-copy signal to the periphery section of the aforementioned opposed face at the aforementioned drain line is arranged. Along with the aforementioned periphery section, it extends from the end-connection child who prepared in the periphery section of the opposed face of the 1st substrate of the above. Furthermore, the subject-copy signal line which extends from the edge of the aforementioned display to an edge along with the aforementioned drain driver is arranged. Drive circuit built-in display characterized by eliminating the aforementioned shading film from some [at least] upper parts of the portion which arranges the shading film which covers the periphery section of the 1st substrate of the above at least to the opposed face of the 2nd substrate of the above, and extends along with the aforementioned drain driver of the aforementioned subject-copy signal line in it.

[Claim 2] The 1st extension section in which the aforementioned subject-copy signal line extends near the aforementioned display, It branches in the 2nd extension section which extends between the aforementioned drain driver and the edges of the aforementioned substrate. Drive circuit built-in display according to claim 1 characterized by having bypassed the aforementioned drain driver, having connected with the extension section of the above 1st again, and for the extension section of the above 2nd having covered the upper part of the extension section of the above 1st by the aforementioned shading film, and removing the aforementioned shading film from the upper part of the extension section of the above 2nd.

[Claim 3] Drive circuit built-in display according to claim 1 characterized by the aforementioned shading film being chromium (Cr).

[Claim 4] On both sides of liquid crystal, opposite arrangement of the 1st and the 2nd substrate is carried out. to the display of the opposed face of the 1st substrate of the above Two or more gate lines and drain lines are arranged so that it may cross mutually. Form a display pixel in each intersection of the aforementioned gate line and a drain line, and it arranges in the shape of a matrix. The drain driver which impresses a subject-copy signal to the periphery section of the aforementioned opposed face at the aforementioned drain line is arranged. Along with the aforementioned periphery section, it extends from the end-connection child who prepared in the periphery section of the opposed face of the 1st substrate of the above. Furthermore, it sets to the liquid crystal display which has arranged the subject-copy signal line which extends from the edge of the aforementioned display to an edge along with the aforementioned drain driver, and has arranged the shading film which covers the periphery section of the 1st substrate of the above at least to the opposed face of the 2nd substrate of the above. Drive circuit built-in display characterized by making a part of portion [at least] which extends along with the aforementioned drain driver of the aforementioned subject-copy signal line extend to the field of a before [from the edge of the aforementioned shading film / the edge of the aforementioned substrate].

 [Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the drive circuit built-in liquid crystal display which has arranged the drive circuit by TFT also in the periphery section while arranging to a display the TFT (TFT:Thin Film Transistor) which used the polycrystal semiconductor layer in the shape of a matrix.

[0002]

[Description of the Prior Art] Drive circuit built-in LCD in which the matrix display section and the circumference drive circuit were formed on the same substrate is developed by using polycrystal (poly) silicon (p-Si) as a channel layer of TFT in recent years. Drawing 4 is the circuit diagram showing the circuitry of LCD. A central matrix circuit is a display. The gate line (GL) which is the scanning line, and the drain line (DL) which is a signal line are arranged in all directions, and TFT (SE) is formed in the intersection. One electrode (display electrode) of the pixel capacity for a liquid crystal drive (LC) and one electrode of the auxiliary capacity for charge maintenance (SC) are connected to TFT (SE). The electrode (counterelectrode) of another side of pixel capacity (LC) consists of the common electrode extensively formed on another substrate by which opposite arrangement was carried out on both sides of the liquid crystal layer. Namely, liquid crystal and a common electrode are divided by the display electrode, TFT for switching (SE) is connected to this, and, as for pixel capacity (LC), the display pixel is constituted.

[0003] The gate driver (GD) which impresses a scanning signal level to a gate line (GD), and the drain driver (DD) which impresses a pixel signal level to a drain line (DL) are arranged around the display. A gate driver (GD) mainly consists of a perpendicular shift register, and the perpendicular clock signal VCK, its reversal clock signal *VCK, and the perpendicular start pulse VST are supplied. A drain driver (DD) mainly serves as a level shift register from the transfer gate for a sampling, and the subject-copy signal VDS created in the external integrated circuit, the level clock signal HCK, its reversal clock signal *HCK, and the level start pulse HST are supplied. And the subject-copy signal VDS is supplied to the display pixel 3 which one gate line (GL) is chosen by the gate driver (GD) according to a scanning signal, and one drain line (DL) is chosen as the dot order following target by the drain driver (DD), and is located in the intersection of the these-chosen line.

[0004] These gate drivers (GD) and the drain driver (DD) are constituted by the CMOS circuit of TFT, and are formed in one on the same substrate like TFT (SE) of the pixel section using p-Si. Drawing 5 is the plan showing the appearance of the LCD panel. A gate line (GL) and a drain line (DL) are arranged in the shape of a matrix at the display 2 of substrate 1 center, and the display pixel 3 which changes from TFT (SE), pixel capacity (LC), etc. to the intersection is arranged. As it meets around a display 2 at the periphery section of a substrate 1, a gate driver (GD) and a drain driver (DD) are arranged, and the electrode wiring which transmits various kinds of signals from the end-connection child 4 who prepared in one side of the periphery section of a substrate 1 extends to each driver line. As the subject-copy signal line 5 which transmits the subject-copy signal VDS in it met the periphery of a substrate 1 from the end-connection child 4, and even the drain driver (DD) extended and it met the drain driver (DD) between the drain driver (DD) and the display 2 further, it has extended from the edge of a display 2 to an edge. In addition, the sign 6 shows the transfer gate of a drain driver (DD), and the sign 7 shows the precharge driver of a drain line (DL).

[0005] And the shading film 8 which covers each drive circuit is arranged so that the leakage of the back light irradiated from the tooth back of the LCD panel may be abolished. In case it fixes to the display window which was mainly able to open the LCD panel in the case of electronic equipment, the shading film 8 arranged in the shape of a frame at the 1 round marginal part of substrates is arranged in order to give the margin of position ***** to the frame of a display window, for example, has the line breadth of 2.0-5.0mm.

[0006] Drawing 6 is the cross section showing the structure of substrate 1 edge. 1st substrate 1a in which display pixels, such as TFT (SE), are formed, and 2nd substrate 1b in which the counterelectrode 9 and the shading film 8 of

pixel capacity (LC) are formed are joined by the sealant 10 through an interval, and liquid crystal is enclosed and held in these intervals. 11 shows a flattening film and 12 shows a light filter respectively. And the subject-copy signal line 5 is arranged between the display 2 of 1st substrate 1a, and the drain driver (DD).

[0007]

[Problem(s) to be Solved by the Invention] However, although a dielectric constant is about four in a steady state, liquid crystal has the property in which a dielectric constant rises about to 13, where voltage is impressed by the display electrode. For the reason, it has the trouble of becoming so large that it becoming impossible to disregard the parasitic capacitances C1 and C2 formed unescapable between the subject-copy signal line 5, the ***** signal line 5 which has shading film 8, and a counterelectrode 9.

[0008] For the reason, an integrating circuit is formed of the resistance component which subject-copy signal-line 5 the very thing has, parasitic capacitances C1 and C2 and the wiring capacity of the drain line DL chosen as it, and a selected pixel capacity (LC) of the display pixel 3 and the selected full capacity of auxiliary capacity (SC). Delay and the magnitude of attenuation of the subject-copy signal VDS inputted since the aforementioned parasitic capacitance became large as it separates from the source of supply (end-connection child 4) of the subject-copy signal VDS become large. There was a fault of causing the ghost phenomenon in which a double indication of the fall of a contrast ratio, the fall of brightness, and the picture is given in the display pixel 3 connected to the drain line (DL) far from a source of supply. though natural, since the distance which takes about the subject-copy signal line 5 becomes long so that size of a substrate 1 is enlarged, a close-up of this phenomenon will be taken -- in addition as for shading film 8 the very thing, neither grounding potential (VSS) nor power supply potential (VDD) is supplied positively -- be alike and carry out -- Since capacity coupling of the lower part of the shading film 8 is carried out to the extending grounding (VSS) line, it is thought that it will be in a certain potential state, and the potential difference with the subject-copy signal line 5 is produced.

[0009]

[Means for Solving the Problem] this invention makes it the 1st main point to reduce a parasitic capacitance with a shading film by having accomplished in view of the above-mentioned technical problem, and removing a shading film from some [at least] upper parts of the subject-copy signal line which extends along with a drain driver. Moreover, this invention makes between the 1st extension section and the drain driver which extend between a drain driver and displays in a subject-copy signal line, and the edges of a substrate branch into the 2nd extending extension portion. While supplying a subject-copy signal from two or more places to the 1st extension section, by removing a shading film from the upper part of the 2nd extension section, the amount of the maximum delay of a subject-copy signal is made into the conventional half, and it makes to prevent increase of the parasitic capacitance by the 2nd extension section further into the 2nd main point.

[0010]

[Embodiments of the Invention] Below, the gestalt of 1 operation of this invention is explained in detail. Drawing 1 is the plan showing the composition of the liquid crystal display (LCD panel) of this invention. The substrate 21 separated the interval, piled up two transparent substrates which consist of a quartz or non alkali glass, and has accomplished the rectangle whose shorter side 22x long side 23 is 68mmx90mm. A display 24 is formed in a part for the center section of a substrate 21, and the drain line DL by which the seal of approval of the subject-copy signal is carried out to the gate line GL by which the seal of approval of the scanning signal is carried out to this display 24 is mostly arranged in the same pitch in the shape of a matrix. The display pixel 25 which changes from the transparent display electrode which consists of an ITO (Indium-Tin-Oxide) film etc. with TFT which makes a polysilicon contest semiconductor film a barrier layer, auxiliary capacity, etc. to the intersection of the gate line GL and the drain line DL is arranged. The drain driver DD who changes from the CMOS circuit of TFT around the periphery section 24 of a substrate 21, i.e., a display, as there is along the long side 23 of a substrate 21 is stationed, and it is arranged at two sides which the gate driver GD which similarly consists of the CMOS circuit of TFT as meets the shorter side 22 of a substrate 21 counters. The precharge driver PD and the various control circuits (not shown) for precharging the drain line DL are arranged at one side in which a substrate 21 remains.

[0011] one side of a substrate 21 -- the gate of TFT -- public funds -- the end-connection child 26 who consists of the chromium (Cr) which is a group is stationed From the end-connection child 26, as the aluminum electrode wiring for supplying various kinds of signals and supply voltage to each driver circuit met the periphery section of a substrate 21, it has extended. Thus, the subject-copy signal line 27 which transmits the subject-copy signal VDS among the extending electrode wiring extended from the end-connection child 26 to near the drain driver DD along with the shorter side 22 of a substrate 21, and it has extended from the edge of a display 24 to an edge so that the drain driver DD may be met still in parallel with the long side 23 of a substrate 21. In the case of a color LCD, the subject-copy signal line 27 has extended in 3 parallel R, G, and for B at least. And the subject-copy signal line 27 branches in the 1st

and 2nd extension section 29 and 30 near the end of the drain driver DD (illustration 28). The 1st branched extension section 29 extends from the drain driver DD from the edge of a display 24 to an edge in a display 24 side, and the 2nd branched extension section 30 extends from the edge of a display 24 to an edge in the opposite side of the drain driver DD, i.e., the field between the drain driver DD and the edge of a substrate 21. The 2nd extension section 30 which bypassed the drain driver DD is again connected to the 1st extension section 29 near the other end of the drain driver DD (illustration 31).

[0012] It **, and the shading film 32 which covers each driver circuit is arranged, and it is made for the light of the back light irradiated from the tooth back of the LCD panel not to leak to the periphery section of a substrate 21. In addition, the shading film 32 is arranged in the shape of a grid also to the display 24 interior so that an unnecessary part may be covered except for the transparent-electrode portion of the display pixel 25 (not shown). And the shading film 32 covers the 1st extension section 29 of the drain driver DD and the subject-copy signal line 27, and the 2nd extension section 30 of the subject-copy signal line 27 is retreating the edge so that it may not cover. Consequently, the 2nd extension section 30 of the subject-copy signal line 27 extends the field of a before [from the edge of the shading film 32 / the edge of a substrate 21].

[0013] Drawing 2 is the cross section showing the outline structure of substrate 21 edge. A substrate 21 consists of 1st substrate 21a and the 2nd substrate 21b by which opposite adhesion was carried out, and an interval is separated, it is joined by the sealant 33 to which both surround the periphery section of a substrate 21, and liquid crystal is enclosed and held in the interval. A sealant 33 is arranged along the 21 round edge of substrates at four sides. A TFT element is formed in opposed face 34 front face of 1st substrate 21a of the gate and a polysilicon contest semiconductor layer, a display electrode is formed in it with an ITO film etc., and circuit connection of these is made by the aluminum electrode etc. In addition, the flattening film which consists of the acrylic resin which a sign 35 covers Above TFT etc. and carries out flattening of the front face is shown, and the aforementioned display electrode is formed on this flattening film 35. And the 2nd extension section 30 of the subject-copy signal line 27 is formed in the field between the fields and sealants 33 which have arranged the drain driver of an opposed face 34 of an aluminum electrode, and the 1st extension section 29 of the subject-copy signal line 27 is formed in the field between the fields and displays 24 which have arranged the drain driver with the line breadth of 10-30 micrometers of the aluminum electrode.

[0014] in the front face of the opposed face 36 of 2nd substrate 21b of a substrate 21, the light filter 37 corresponding to each of R, G, and B forms in the part corresponding to the display electrode of the display pixel 25 -- having -- these light filters 37 and boundaries -- **** -- it is made like and the shading film 32 (BM) covers The flattening film 38 which consists of acrylic resin etc. covers the upper part of the shading film 32 and a light filter 37, and it forms the counterelectrode 39 which consists of ITO on the flattening film 38. The counterelectrode 39 is formed all over the simultaneously of a display 24, and carries out termination near the edge of the shading film 32. And the shading film 32 covers the drain driver DD and 1st extension section 29 top, and the 2nd extension section 30 top is retreating the edge to the display 24 side so that it may not cover.

[0015] Since it is the same as that of the thing of drawing 4 fundamentally explained in the conventional example, the circuitry of the LCD panel is omitted. Here, the detailed circuit near the drain driver DD is explained using drawing 3. This drain driver DD possesses the level shift register 40, and the control signal outputted one by one from each output stage (S/R) of the level shift register 40 is supplied to the control terminal of the transfer gate 41 for a sampling arranged at the lower berth, and controls ON/OFF of the transfer gate 41. It connects with one terminal of the transfer gate 41 at the 1st extension section 29 of the subject-copy signal line 27, and the subject-copy signals VDR, VDG, and VDB of R, G, and B which were created by each line by the external integrated circuit are supplied. The drain line DL corresponding to each train of the display 24 by which each display pixel 25 of R, G, and B was arranged is connected to the other-end child. The output of each output stage (S/R) of the level shift register 40 is supplied to the three transfer gates 41 linked to each subject-copy signal line 29 of R, G, and B that the pixel signal level supplied to each pixel of R, G, and B which continue simultaneously should be sampled. That is, each subject-copy signals VDR, VDG, and VDB of R, G, and B which were created externally and given in simultaneous are sampled simultaneously, and are supplied to each drain line DL as each pixel signal level.

[0016] Thus, restrictions of arranging the 1st extension section 29 of the subject-copy signal line 27 to a display 24 side from the drain driver DD (correctly level shift register 40 of the drain driver DD) are produced from restrictions that the transfer gate 41 controlled by the level shift register 40 between the subject-copy signal line 27 and the drain line DL is connected. In order to clarify the position of the transfer gate 41, the transfer gate 41 was shown also in drawing 1.

[0017] Here, if the transfer gate 41 and the drain driver DD (level shift register 40) are covered and the shading film 32 is partially removed from the upper part of the 1st extension section 29, the parasitic capacitance which the subject-copy signal line 27 has will be made to the minimum. It **, and according to the gestalt of this operation explained

above, the following operation effects can be acquired.

(1) By having removed the conductive shading film 32 from the upper part of the subject-copy signal line 27, the parasitic capacitance between both is reducible. For the reason, the capacity component of the integrating circuit which the subject-copy signal line 27 forms can be reduced, and delay and attenuation of the subject-copy signal produced when the subject-copy signal line 27 is taken about for a long time by this can be eased.

(2) Since a parasitic capacitance does not arise in the 2nd extension section 30 by considering the subject-copy signal line 27 as the composition which branched in the 1st and 2nd extension section 29 and 30, and eliminating the shading film 32 from the upper part of the 2nd extension section 30, delay and the magnitude of attenuation of a subject-copy signal can be made small. Although delay and attenuation of a signal serve as the maximum near the simultaneously center (drawing 1 sign 42) of the 1st extension section 29 at this time, the maximum magnitude of attenuation serves as abbreviation half from the conventional thing by the 2nd extension section 30. And the margin of position ***** to the display window of electronic equipment can be maintained, without forcing a pattern design unreasonableness by covering the 1st extension section 29 with the shading film 32, and not covering the 2nd extension section 30.

[0018] In addition, if a resisted part of the 2nd extension section 30 is reduced by technique, such as making thick line breadth of the 2nd extension section 30 to the line breadth of the 1st extension section 29, the operation effect of this application can be increased further.

[0019]
[Effect of the Invention] It has the advantage which reduces a parasitic capacitance, prevents and has delay and attenuation of a subject-copy signal, and can improve display grace over the display screen whole region by removing the conductive shading film 32 from the upper part of the subject-copy signal line 27 so that clearly also from the above explanation. While reducing the maximum magnitude of attenuation of a subject-copy signal by half by furthermore branching the subject-copy signal line 27 in the 1st and 2nd extension section 29 and 30, increase of the parasitic capacitance by having formed the 2nd extension section 30 can be prevented by eliminating the shading film 32 from the 2nd extension section 30 upper part. Therefore, a contrast ratio and brightness become uniform over the whole region of the display screen, a ghost phenomenon is prevented, and it has the advantage which can improve display grace.

[Translation done.]

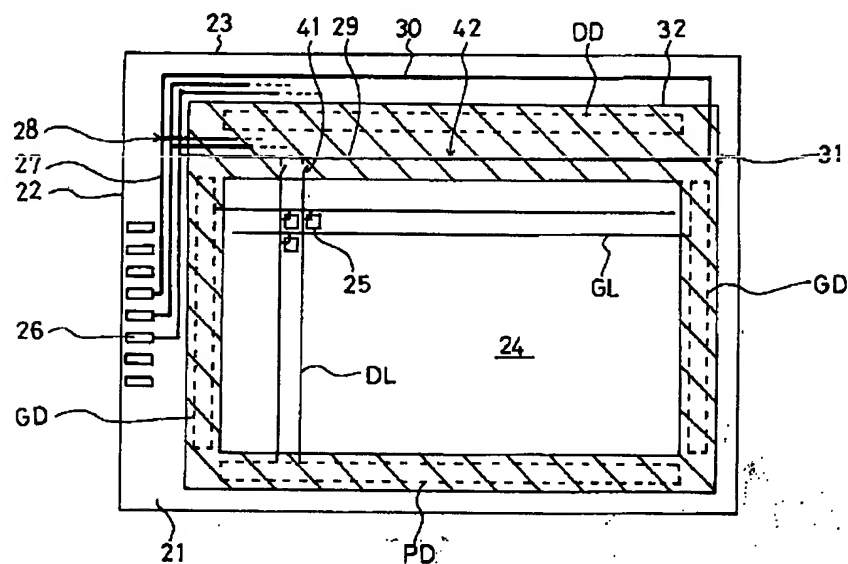
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

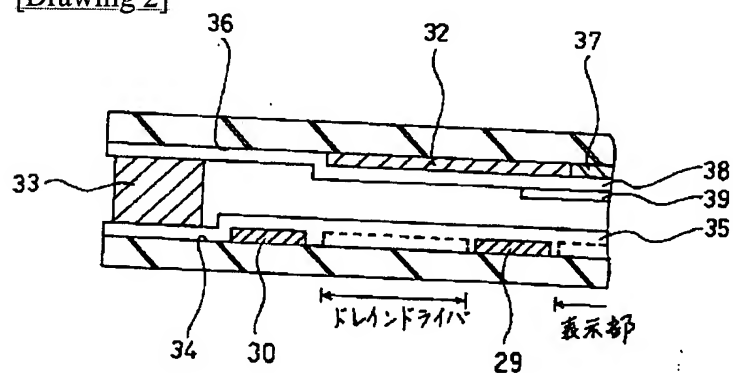
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

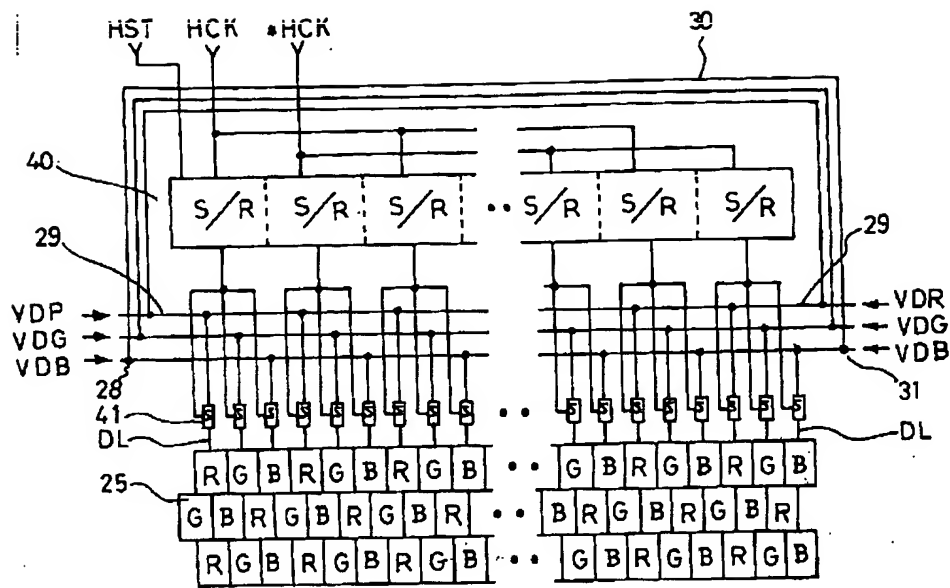
[Drawing 1]



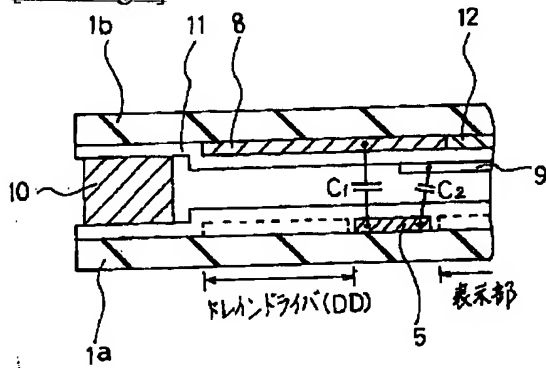
[Drawing 2]



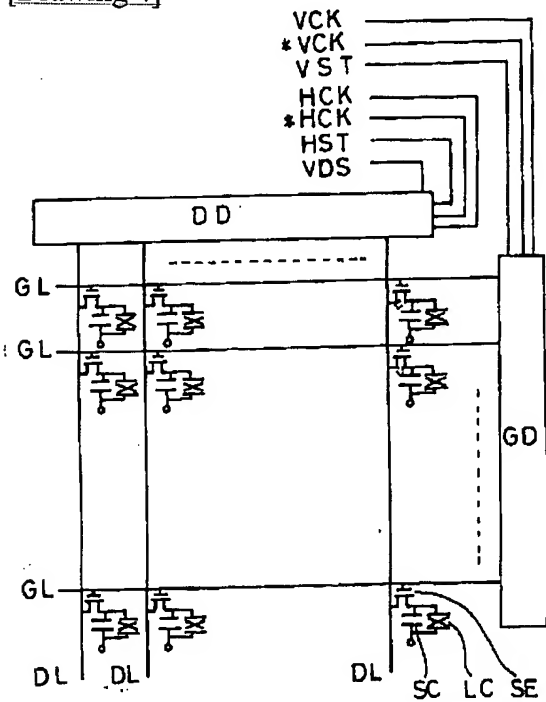
[Drawing 3]



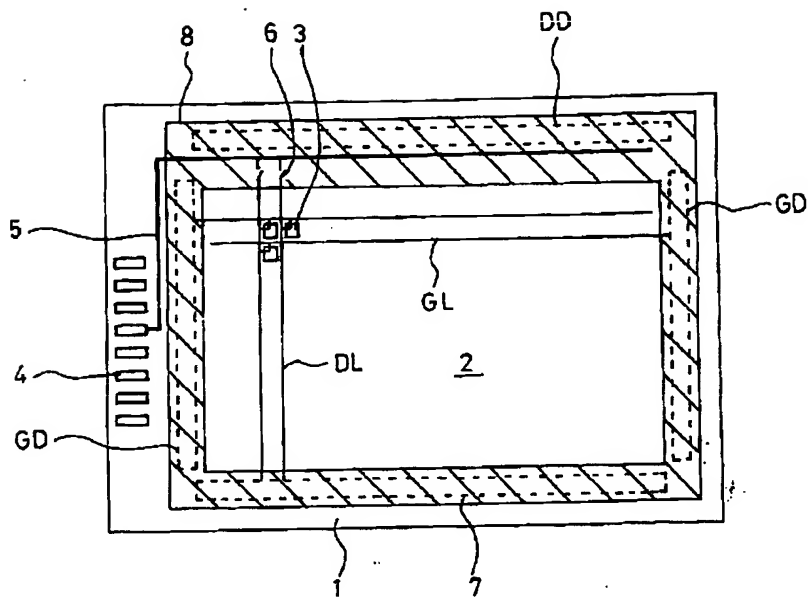
[Drawing 6]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-109408

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl. ⁹			識別記号			F I		
G 0 2 F	1/136		5 0 0			G 0 2 F	1/136	5 0 0
	1/1345						1/1345	
G 0 9 F	9/00		3 4 6			G 0 9 F	9/00	3 4 6 G
	9/30		3 4 9				9/30	3 4 9 C
H 0 1 L	29/786					H 0 1 L	29/78	6 1 2 B
審査請求 未請求 請求項の数4 O L (全 7 頁)								

(21) 出願番号 特願平9-266709

(22) 出願日 平成9年(1997) 9月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 横山 良一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

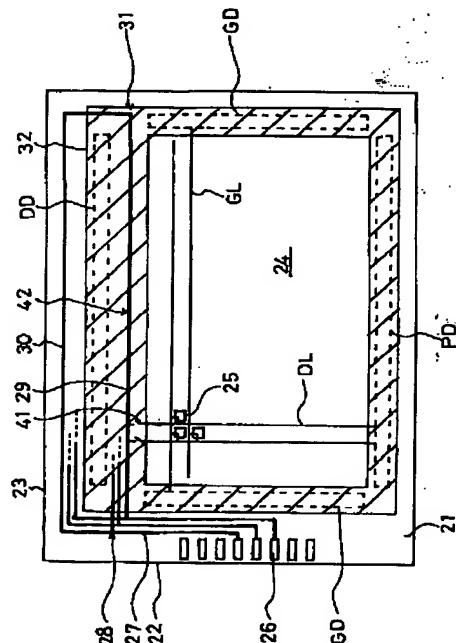
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 駆動回路内蔵型表示装置

(57) 【要約】

【課題】 原画信号が印可される原画信号ライン上から導電性の遮光膜を除去することにより、原画信号の減衰を緩和する。

【解決手段】 一方の基板21の内側表面にゲートラインGLとドレインラインDLを交差するように配置し、交差部に表示画素25を形成する。これらを駆動する為のドレインドライバDD、ゲートドライバGLを基板21の周辺部分に形成する。基板21の端部に形成した接続端子26からは原画信号ライン27が基板21周辺に沿って延在し、且つドレインドライバDDに沿ってその両側に第1の延在部29と第2の延在部30を形成する。少なくとも第2の延在部の上方から、導電性の遮光膜32を除去する。



【特許請求の範囲】

【請求項 1】 液晶を挟んで第 1 と第 2 の基板を対向配置し、

前記第 1 の基板の対向面の表示部に、複数のゲートライン及びドレインラインを互いに交差するように配置し、前記ゲートラインとドレインラインとの各交差部に表示画素を形成して行列状に配置し、

前記対向面の周縁部に、前記ドレインラインに原画信号を印加するドレインドライバーを配置し、

前記第 1 の基板の対向面の周縁部に設けた接続端子から前記周縁部に沿って延在し、更に前記ドレインドライバーに沿って前記表示部の端から端まで延在する原画信号ラインとを配置し、

前記第 2 の基板の対向面に、少なくとも前記第 1 の基板の周縁部を被覆する遮光膜を配置し、

前記原画信号ラインの、前記ドレインドライバーに沿って延在する部分の少なくとも一部の上方から、前記遮光膜を排除したことを特徴とする駆動回路内蔵型表示装置。

【請求項 2】 前記原画信号ラインが、前記表示部の近傍を延在する第 1 の延在部と、前記ドレインドライバーと前記基板の端部との間を延在する第 2 の延在部に分岐し、前記第 2 の延在部が前記ドレインドライバーを迂回して前記第 1 の延在部に再び接続され、前記第 1 の延在部の上方を前記遮光膜で被い、前記第 2 の延在部の上方から前記遮光膜を除去したことを特徴とする請求項 1 記載の駆動回路内蔵型表示装置。

【請求項 3】 前記遮光膜がクロム (Cr) であることを特徴とする請求項 1 記載の駆動回路内蔵型表示装置。

【請求項 4】 液晶を挟んで第 1 と第 2 の基板を対向配置し、

前記第 1 の基板の対向面の表示部に、複数のゲートライン及びドレインラインを互いに交差するように配置し、前記ゲートラインとドレインラインとの各交差部に表示画素を形成して行列状に配置し、

前記対向面の周縁部に、前記ドレインラインに原画信号を印加するドレインドライバーを配置し、

前記第 1 の基板の対向面の周縁部に設けた接続端子から前記周縁部に沿って延在し、更に前記ドレインドライバーに沿って前記表示部の端から端まで延在する原画信号ラインとを配置し、

前記第 2 の基板の対向面に、少なくとも前記第 1 の基板の周縁部を被覆する遮光膜を配置した液晶表示装置において、

前記原画信号ラインの、前記ドレインドライバーに沿って延在する部分の少なくとも一部を、前記遮光膜の端から前記基板の端までの間の領域に延在させたことを特徴とする駆動回路内蔵型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多結晶半導体層を用いた薄膜トランジスタ (TFT: Thin Film Transistor) を、表示部にマトリクス状に配置すると共に、周縁部にも薄膜トランジスタによる駆動回路を配置した、駆動回路内蔵型の液晶表示装置に関する。

【0002】

【従来の技術】近年、TFT のチャネル層として多結晶 (ポリ) シリコン (p-Si) を用いることによって、マトリクス表示部と周辺駆動回路とを同一基板上に形成した駆動回路内蔵型の LCD が開発されている。図 4 は LCD の回路構成を示す回路図である。中央のマトリクス回路は表示部である。走査線であるゲートライン (GL) と信号線であるドレインライン (DL) が縦横に配置され、その交差部には TFT (SE) が形成されている。TFT (SE) には、液晶駆動用の画素容量 (LC) の一方の電極 (表示電極) 及び電荷保持用の補助容量 (SC) の一方の電極が接続されている。画素容量 (LC) の他方の電極 (対向電極) は、液晶層を挟んで対向配置された別の基板上に全面的に形成された共通電極から成る。すなわち、画素容量 (LC) は表示電極により液晶及び共通電極が区画され、これにスイッチング用の TFT (SE) が接続されて表示画素が構成されている。

【0003】表示部の周辺には、ゲートライン (GD) に走査信号電圧を印加するゲートドライバー (GD) と、ドレインライン (DL) に画素信号電圧を印加するドレインドライバー (DD) が配置されている。ゲートドライバー (GD) は主に垂直シフトレジスタから成り、垂直クロック信号 VCK、その反転クロック信号 *VCK、及び垂直スタートパルス VST が供給されている。ドレインドライバー (DD) は、主に水平シフトレジスタと、サンプリング用トランスファゲートよりなり、外部集積回路にて作成された原画信号 VDS、水平クロック信号 HCK、その反転クロック信号 *HCK、及び水平スタートパルス HST が供給されている。そして、走査信号に応じてゲートドライバー (GD) により 1 本のゲートライン (GL) が選択され、且つドレインドライバ (DD) により点順次的に 1 本のドレインライン (DL) が選択され、これら選択されたラインの交差部に位置する表示画素 3 に原画信号 VDS を供給するようになっている。

【0004】これらのゲートドライバー (GD) 及びドレインドライバー (DD) は、TFT の CMOS 回路により構成されており、画素部の TFT (SE) と同様、p-Si を用いて同一基板上に一体的に形成されている。図 5 は、LCD パネルの外観を示す平面図である。基板 1 中央の表示部 2 にゲートライン (GL) とドレインライン (DL) がマトリクス状に配置され、その交差部に TFT (SE) と画素容量 (LC) 等から成る表示画素 3 が配置される。表示部 2 の周辺には基板 1 の周縁

部に沿うようにしてゲートドライバー（GD）、ドレインドライバー（DD）が配置され、基板1の周縁部の1辺に設けた接続端子4から各種の信号を伝達する電極配線が各ドライバー回路へと延在する。その中の原画信号VDSを伝達する原画信号ライン5は、接続端子4から基板1の周縁に沿うようにしてドレインドライバー（DD）まで延在し、更にドレインドライバー（DD）と表示部2との間にドレインドライバー（DD）に沿うようにして表示部2の端から端まで延在している。尚、符号6はドレインドライバー（DD）のトランスファゲート、符号7はドレインライン（DL）のプリチャージドライバーを示している。

【0005】そして、LCDパネルの背面から照射されるバックライトの漏れをなくすように、各駆動回路を被う遮光膜8が配置されている。基板1周縁部に枠状に配置した遮光膜8は、主としてLCDパネルを電子機器の筐体の開けられた表示窓に固定する際に、表示窓の枠体に対して位置あわせの余裕を持たせるために配置したものであり、例えば2.0～5.0mmの線幅を有している。

【0006】図6は、基板1端部の構造を示す断面図である。TFT（SE）等表示画素が形成される第1の基板1aと、画素容量（LC）の対向電極9及び遮光膜8が形成される第2の基板1bとがシール材10によって間隔を介して接合され、これらの間隔内に液晶が封入・保持される。11は平坦化膜、12はカラーフィルタを各々示す。そして、原画信号ライン5が、第1の基板1aの表示部2とドレインドライバ（DD）との間に配置されている。

【0007】

【発明が解決しようとする課題】しかしながら、液晶は定常状態で誘電率が4程度であるものの、表示電極により電圧を印加した状態では誘電率が13程度にまで上昇するという性質を持っている。その為、原画信号ライン5と遮光膜8あるは原画信号ライン5と対向電極9との間に不可避免的に形成される寄生容量C1、C2が無視できなくなる程大きくなるという問題点を有している。

【0008】その為、原画信号ライン5自体の持つ抵抗成分と寄生容量C1、C2、それに選択されたドレインラインDLの配線容量と選択された表示画素3の画素容量（LC）と補助容量（SC）の全容量とによって積分回路が形成され、原画信号VDSの供給源（接続端子4）から離れるに従って前記寄生容量が大きくなるために入力された原画信号VDSの遅延・減衰量が大きくなり、供給源から遠いドレインライン（DL）に接続された表示画素3においてコントラスト比の低下や輝度の低下、画像が2重表示されるゴースト現象を招くという欠点があった。当然ながら、この現象は基板1のサイズを大きくするほど、原画信号ライン5を引き回す距離が長くなるのでクローズアップされることになる

尚、遮光膜8自体は積極的に接地電位（VSS）や電源電位（VDD）が供給されるものではないにしろ、遮光膜8の下部を延在する接地（VSS）ライン等に対して容量結合している為に、何らかの電位状態となって原画信号ライン5との電位差を生じるものと考えられる。

【0009】

【課題を解決するための手段】本発明は、前述の課題に鑑み成されたもので、ドレインドライバに沿って延在する原画信号ラインの少なくとも一部の上から遮光膜を除去することにより、遮光膜との寄生容量を減じることが第1の骨子とする。また、本発明は、原画信号ラインを、ドレインドライバと表示部との間を延在する第1の延在部とドレインドライバと基板の端部との間を延在する第2の延在部分とに分岐せしめ、第1の延在部に対して複数箇所から原画信号を供給すると共に、第2の延在部の上方から遮光膜を除去することにより、原画信号の最大遅延量を従来の半分とし、更に第2の延在部による寄生容量の増大を防止する事を第2の骨子とする。

【0010】

【発明の実施の形態】以下に、本発明の一実施の形態を詳細に説明する。図1は、本発明の液晶表示装置（LCDパネル）の構成を示す平面図である。基板21は、石英又はノンアルカリガラスから成る2枚の透明基板を間隔を隔てて重ねたものであり、短辺22×長辺23が例えば68mm×90mmの長方形を成している。基板21の中央部分に表示部24が設けられ、該表示部24に走査信号が印可されるゲートラインGLと原画信号が印可されるドレインラインDLがマトリクス状にほぼ同一ピッチで配置されている。ゲートラインGLとドレインラインDLとの交差部に、ポリシリコン半導体膜を活性層とするTFTと、ITO（Indium-Tin-Oxide）膜等から成る透明な表示電極、及び補助容量等から成る表示画素25が配置されている。基板21の周縁部、即ち表示部24の周辺には、基板21の長辺23に沿うようにしてTFTのCMOS回路から成るドレインドライバーDDが配置され、基板21の短辺22に沿うようにして同じくTFTのCMOS回路から成るゲートドライバーGDが対向する2辺に配置されている。基板21の残る1辺には、ドレインラインDLをプリチャージするためのプリチャージドライバPDや、各種制御回路（図示せず）が配置される。

【0011】基板21の1辺にはTFTのゲート用金属であるクロム（Cr）から成る接続端子26が配置される。接続端子26からは各ドライバ回路に各種の信号と電源電圧を供給するためのアルミニウム電極配線が、基板21の周縁部に沿うようにして延在している。この様に延在する電極配線のうち、原画信号VDSを伝達する原画信号ライン27は、接続端子26から基板21の短辺22に沿ってドレインドライバーDDの近傍まで延在し、更に基板21の長辺23に平行にドレインドライバ

一DDに沿うように表示部24の端から端まで延在している。原画信号ライン27は、カラーLCDの場合は少なくともR、G、B用に3本平行に延在している。そして、原画信号ライン27はドレインドライバDDの一端近傍(図示28)で第1と第2の延在部29、30に分岐し、分岐した第1の延在部29はドレインドライバDDより表示部24側で表示部24の端から端まで延在し、分岐した第2の延在部30はドレインドライバDDの反対側即ちドレインドライバDDと基板21の端部との間の領域を表示部24の端から端まで延在する。ドレインドライバDDを迂回した第2の延在部30は、ドレインドライバDDの他端近傍(図示31)で第1の延在部29に再び接続される。

【0012】而して、基板21の周縁部には、各ドライバ回路を被う遮光膜32が配置され、LCDパネルの背面から照射されるバックライトの光が漏れないようにしている。尚、遮光膜32は表示画素25の透明電極部分を除いて無用な箇所を被覆するように、表示部24内部にも格子状に配置されている(図示せず)。そして、遮光膜32はドレインドライバDDと原画信号ライン27の第1の延在部29を被い、原画信号ライン27の第2の延在部30は被わないようにその端を後退している。この結果、原画信号ライン27の第2の延在部30は、遮光膜32の端から基板21の端までの間の領域を延在する。

【0013】図2は、基板21端部の概略構造を示す断面図である。基板21は対向接着された第1の基板21aと第2の基板21bとからなり、両者が基板21の周縁部を囲むシール材33によって間隔を隔てて接合され、その間隔内に液晶が封入・保持される。シール材33は基板21周縁部に沿って4辺に配置される。第1の基板21aの対向面34表面には、ゲートとポリシリコン半導体層によってTFT素子が形成され、ITO膜等によって表示電極が形成され、これらがアルミ電極などによって回路接続されている。尚、符号35は前記TFT等を被覆して表面を平坦化するアクリル樹脂などから成る平坦化膜を示しており、該平坦化膜35上に前記表示電極が形成される。そして、対向面34のドレインドライバを配置した領域とシール材33との間の領域に原画信号ライン27の第2の延在部30がアルミ電極によって形成され、ドレインドライバを配置した領域と表示部24との間の領域に原画信号ライン27の第1の延在部29がアルミ電極によって10~30 μ mの線幅で形成されている。

【0014】基板21の第2の基板21bの対向面36の表面には、表示画素25の表示電極に対応する箇所に、R、G、Bの各々に対応するカラーフィルタ37が形成され、これらのカラーフィルタ37と境を接すようにして遮光膜32(BM)が被着する。遮光膜32とカラーフィルタ37の上部はアクリル樹脂等から成る平坦

化膜38が被い、平坦化膜38の上にITOから成る対向電極39を形成している。対向電極39は表示部24のほぼ全面に形成されており、遮光膜32の端近傍で終端する。そして、遮光膜32はドレインドライバDDと第1の延在部29の上を被覆し、第2の延在部30の上は被覆しないようにその端部を表示部24側に後退させている。

【0015】LCDパネルの回路構成は、基本的に従来例で説明した図4のものと同様であるので割愛する。ここで、図3を用いてドレインドライバDD近傍の詳細な回路を説明する。このドレインドライバDDは、水平シフトレジスタ40を具備し、水平シフトレジスタ40の各出力段(S/R)から順次出力される制御信号は、下段に配置されたサンプリグ用トランスファークラップゲート41の制御端子に供給され、トランスファークラップゲート41のオン/オフを制御する。トランスファークラップゲート41の一方の端子には原画信号ライン27の第1の延在部29に接続され、各ラインに外部集積回路で作成されたR、G、Bの原画信号VDR、VDG、VDBが供給されている。他方の端子には、R、G、Bの各表示画素25が配列された表示部24の、各列に対応するドレインラインDLが接続されている。水平シフトレジスタ40の各出力段(S/R)の出力は、同時に連続するR、G、Bの各画素に供給する画素信号電圧をサンプリグすべく、R、G、Bの各原画信号ライン29に接続した3個のトランスファークラップゲート41に供給されている。即ち、外部で作成されて同時に与えられたR、G、Bの各原画信号VDR、VDG、VDBは、同時にサンプリグされて、各画素信号電圧として各ドレインラインDLへと供給される。

【0016】この様に、原画信号ライン27とドレインラインDLとの間に、水平シフトレジスタ40によって制御されるトランスファークラップゲート41が接続されるという制約から、原画信号ライン27の第1の延在部29は、ドレインドライバDD(正確にはドレインドライバDDの水平シフトレジスタ40)よりも表示部24側に配置させるという制約が生まれる。トランスファークラップゲート41の位置を明確にするために、図1にもトランスファークラップゲート41を示した。

【0017】ここで、トランスファークラップゲート41及びドレインドライバDD(水平シフトレジスタ40)を被覆し第1の延在部29の上方から部分的に遮光膜32を除去すれば、原画信号ライン27が持つ寄生容量を最小にできる。而して、以上に説明した本実施の形態によれば、以下の作用効果を得ることができる。

(1) 原画信号ライン27の上部から導電性の遮光膜32を除去したことにより、両者間の寄生容量を減じることができる。その為、原画信号ライン27が形成する積分回路の容量成分を減じることができ、これによって原画信号ライン27を長く引き回したときに生じる原画信

10

20

30

40

50

8

延在部30を設けたことによる寄生容量の増大を防止できる。よって、表示画面の全域にわたってコントラスト比、輝度が均一となり、ゴースト現象を防止し、表示品位を向上できる利点を有する。

【図面の簡単な説明】

【図 2】基板 21 端部の断面構造を示す断面図である。

【図4】液晶表示装置の回路構成を示す回路図である。

【図6】従来の液晶表示装置の基板端部を示す断面図である。

GL ゲートライン

DD ドレインドライバ

24 表示部

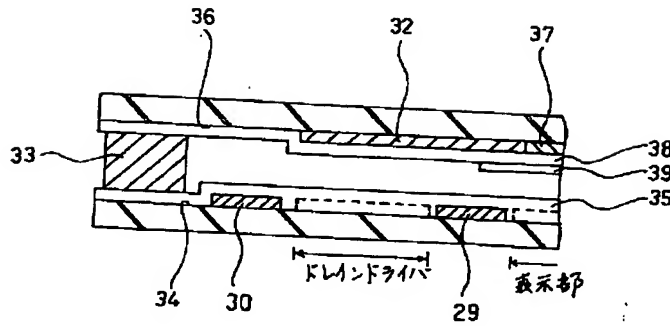
27 原画信号ライン

部

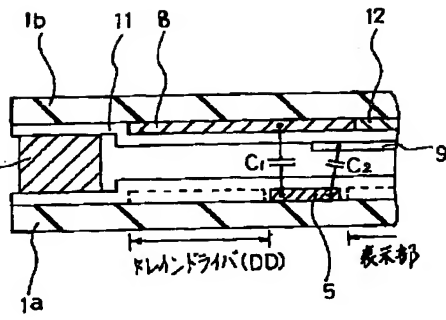
部

32 遮光膜

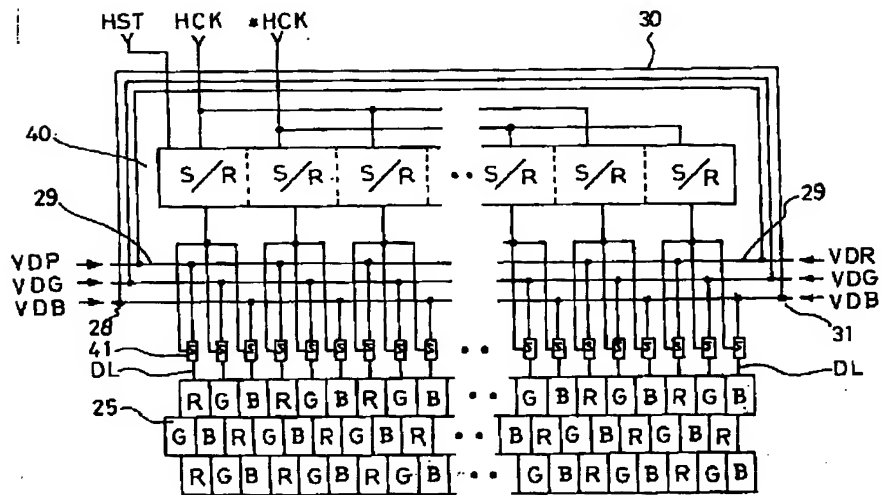
【図2】



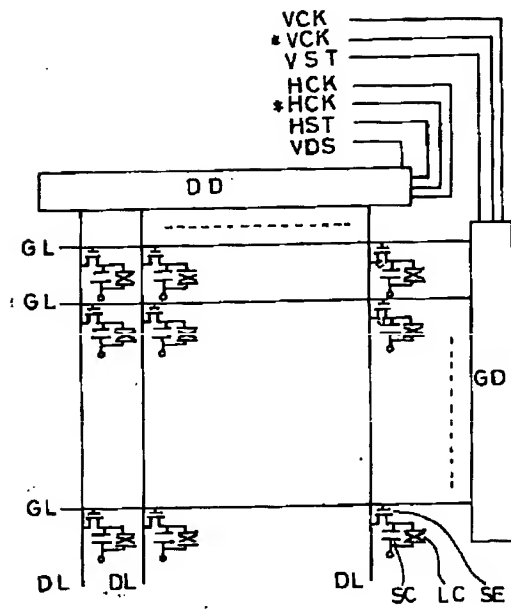
【図6】



【図3】



【図4】



【図5】

